

MC68HC908MR32 MC68HC908MR16

数据表

M68HC08
微控制器

MC68HC908MR32
修订版 6.1
07/2005

Freescale.com



MC68HC908MR32 MC68HC908MR16
数据表

为了提供最新信息，我们在万维网上的文件修订将是最新的。您的打印副本可能是更早的修订版。要验证您是否有最新信息，请参阅：[Http://freescale.com](http://freescale.com)

Freescale™ 和 Freescale 徽标是 Freescale Semiconductor, Inc. 的商标。该产品采用了 SST 授权的 SuperFlash® 技术。

©飞思卡尔半导体公司，2005 年。保留所有权利。

飞思卡尔半导体3 修订历史

以下修订历史表总结了本文件中包含的更改。为了您的方便，页码指示符已链接到适当的位置。

修订历史

日期	重写度	描述	页码
八月，2001	3.0	图 2-1。MC68HC908MR32 内存图-添加了 FLASH 块保护在地址位置注册 (FLBPR) \$FF7E	29
		图 A-1。MC68HC908MR16 内存地图-添加了 FLASH 块保护在地址位置注册 (FLBPR) \$FF7E	306
十月，2001	4.0	3.3.3 转换时间-为清晰起见，重新制作的方程和文本。	50
2001 年 12 月	5.0	图 18-8。监控模式电路-添加了 PTA7 和连接电路	279
		表 18-2。监控模式信号要求和选项——为清晰起见，将开关位置添加到列标题中	281
		第 16 节。计时器接口 A (TIMA) ——在本节中纠正了计时器差异。	233
		第 17 节。计时器接口 B (TIMB) -在本节中纠正了计时器差异。	255
2003 年 11 月	6.0	重新格式化以满足当前的出版标准	遍及
		2.8.2 FLASH 页面擦除操作——为清晰起见，重新设计了程序	42
		2.8.3 FLASH 批量擦除操作——为了清晰起见，重新设计了程序	42
		2.8.4 FLASH 程序操作——为清晰起见，重新制定程序	43
		图 14-14。SIM 中断状态寄存器 (SBSR) -澄清了 SBSW 位的定义。	207
		19.5 直流电气特性 ——更正了显示器模式的最大值输入电压 (在 IRQ 上)	291
		19.6 FLASH 内存特性——更新了表格条目	292
七月，2005	6.1	更新以符合 Freescale 身份指南。	遍及

章节列表

第 1 章 一般说明.....

第 2 章 记忆.....	
第 3 章 模拟数字转换器 (ADC)。	
第 4 章 时钟发电机模块 (CGM)	
第 5 章 配置寄存器 (CONFIG)	
第 6 章 计算机正常运行 (COP)。	
第 7 章 中央处理器单元 (CPU)。	
第 8 章 外部中断 (IRQ)。	
第 9 章 低压抑制 (LVI)。	
第 10 章 输入/输出 (I/O) 端口 (端口)。	
第 11 章 开机重置 (POR)	
第 12 章 用于电机控制的脉冲宽度调制器 (PWMMC)	115
第 13 章 串行通信接口模块 (SCI)	157
第 14 章 系统集成模块 (SIM)。	
第 15 章 串行外围接口模块 (SPI)	
第 16 章 计时器接口 A (TIMA)。	
第 17 章 定时器接口 B (TIMB).....	
第 18 章	
第 19 章 电气规格	
附录 A MC68HC908MR16.....	

目录中的

第 1 章 一般描述

1.1 简介	17
1.2 特点	17
1.3 MCU 方框图	18
1.4	20
1.4.1 电源引脚 ($V_{\text{女儿}}$ 和 $V_{\text{纳粹党卫军}}$)	22
1.4.2 振荡器引脚 (OSC1 和 OSC2)	22
1.4.3 外部重置引脚 (RST)	22
1.4.4 外部中断引脚 (IRQ)	22
1.4.5 CGM 电源引脚 (V_{DDA} 和 V_{SSAD})	22
1.4.6 外部滤波电容销 (CGMXFC)	23
1.4.7 模拟电源引脚 (V_{DDAD} 和 V_{SSAD})	23
1.4.8 ADC 电压解耦电容器引脚 (V_{REFH})	23
1.4.9 ADC 电压参考低引脚 (V_{REFL})	23
1.4.10 端口 A 输入/输出 (I/O) 引脚 (PTA7-PTA0)	23
1.4.11 端口 B I/O 引脚 (PTB7/ATD7-PTB0/ATD0)	23
1.4.12 端口 C I/O 引脚 (PTC6-PTC2 和 PTC1/ATD9-PTC0/ATD8)	23
1.4.13 端口 D 仅输入引脚 (PTD6/IS3-PTD4/IS1 和 PTD3/FAULT4-PTD0/FAULT1)	23
1.4.14 PWM 引脚 (PWM6-PWM1)	23
1.4.15 PWM 接地引脚 (PWMGND)	24
1.4.16 端口 E I/O 引脚 (PTE7/TCH3A-PTE3/TCLKA 和 PTE2/TCH1B-PTE0/TCLKB)	24
1.4.17 端口 F I/O 引脚 (PTF5/TxD-PTF4/RxD 和 PTF3/MISO-PTF0/SPSCK)	24

第 2 章 记忆

2.1 简介	25
2.2 未扩展的内存位置	25
2.3 保留内存位置	25
2.4 I/O 部分	26
2.5 记忆地图	26
2.6 监控 ROM	37
2.7 随机存取内存 (RAM)	37
2.8 闪光记忆 (FLASH)	38

2.8.1	38
2.8.2	FLASH 页面擦除操作.....	39
2.8.3	FLASH.....	40
2.8.4	FLASH 程序操作.....	41
2.8.5	闪光块保护.....	43
2.8.6	43
2.8.7	等待模式.....	44
2.8.8	停止模式.....	44
第 3 章 模数转换器 (ADC)		
3.1	简介.....	45
3.2	特点.....	45
3.3	功能描述.....	45
3.3.1	ADC Port I/O Pins.....	47
3.3.2	电压转换.....	47
3.3.3	转换时间.....	48
3.3.4	连续转换.....	48
3.3.5	结果.....	48
3.3.6	单调性.....	49
3.4	中断.....	50
3.5	等待模式.....	50
3.6	I/O 信号.....	50
3.6.1	ADC 模拟电源引脚 (V_{DDAD}).....	50
3.6.2	ADC 模拟接地销 (V_{SSAD}).....	50
3.6.3	ADC 电压参考引脚 (V_{REFH}).....	50
3.6.4	ADC 电压参考低引脚 (V_{REFL}).....	50
3.6.5	ADC 电压 (ADVIN).....	51
3.6.6	ADC 外部连接.....	51
3.6.6.1	伏特 V_{REFH} 和 V_{REFL}	51
3.6.6.2	ANx.....	51
3.6.6.3	接地.....	51
3.7	I/O 寄存器.....	51
3.7.1	ADC 状态和控制寄存器.....	52
3.7.2	ADC 数据寄存器高.....	54
3.7.3	ADC 数据寄存器低.....	54
3.7.4	ADC 时钟寄存器.....	55

第 4 章时钟发生器模块 (CGM)

4.1	简介	57
4.2	特点	57
4.3	功能描述	57
4.3.1	水晶振荡器电路	59
4.3.2	锁相环路电路 (PLL)	59
4.3.2.1	PLL 电路	59
4.3.2.2	获取和跟踪模式	60
4.3.2.3	手动和自动 PLL 带宽模式	60
4.3.2.4	编程 PLL	61
4.3.2.5	特殊编程例外	62
4.3.3	基本时钟选择器电路	62
4.3.4	CGM 外部连接	63
4.4	I/O 信号	64
4.4.1	水晶放大器输入引脚 (OSC1)	64
4.4.2	水晶放大器输出引脚 (OSC2)	64
4.4.3	外部滤波电容销 (CGMXFC)	64
4.4.4	PLL 模拟电源引脚 (V _{DDA})	64
4.4.5	振荡器启用信号 (SIMOSCEN)	64
4.4.6	晶体输出频率信号 (CGMXCLK)	65
4.4.7	CGM 基本时钟输出 (CGMOUT)	65
4.4.8	CGM CPU 中断 (CGMINT)	65
4.5	CGM 注册	65
4.5.1	PLL 控制寄存器	66
4.5.2	PLL 带宽控制寄存器	67
4.5.3	PLL 编程注册	68
4.6	中断	69
4.7	等待模式	69
4.8	获取/锁定时间规格	70
4.8.1	收购/锁定时间定义	70
4.8.2	对反应时间的参数影响	70
4.8.3	选择过滤器电容器	71
4.8.4	反应时间计算	71

第 5 章配置寄存器 (CONFIG)

5.1	简介	73
5.2	功能描述	73
5.3	配置注册	74

第 6 章 计算机正常运行 (COP)	
6.1	简介 75
6.2	功能描述 75
6.3	I/O 信号 76
6.3.1	CGMXCLK 76
6.3.2	COPCTL 写 76
6.3.3	开机重 置 76
6.3.4	内部重置 76
6.3.5	重置矢量获取 76
6.3.6	慢性阻塞性肺病 (COP 残疾) 77
6.4	COP 管制登记册 77
6.5	中断 77
6.6	监控模式 77
6.7	等待模式 77
6.8	停止模式 77
第 7 章 中央处理器单元 (CPU)	
7.1	简介 79
7.2	特点 79
7.3	CPU 79
7.3.1	累积器 80
7.3.2	索引注册 80
7.3.3	堆叠指针 81
7.3.4	程序计数器 81
7.3.5	条件代码注册 82
7.4	算术/逻辑单元 (ALU) 83
7.5	低功耗模式 83
7.5.1	等待模式 83
7.5.2	停止模式 83
7.6	中断期间的 CPU 83
7.7	指令集摘要 84
7.8 89
第 8 章 外部中断 (IRQ)	
8.1	简介 91
8.2	特点 91
8.3	功能描述 91

8.4	IRQ Pin	92
8.5	IRQ 状态和控制寄存器	94
第 9 章 低压抑制 (LVI)		
9.1	简介	97
9.2	特点	97
9.3	功能描述	97
9.3.1	民意调查 LVI 行动	98
9.3.2	强制重置操作	98
9.3.3	虚假重置保护	98
9.3.4	LVI 旅行选择	98
9.4	LVI 状态和控制寄存器	99
9.5	LVI 打断	99
9.6	等待模式	99
9.7	停止模式	100
第 10 章 输入/输出 (I/O) 端口 (PORTS)		
10.1	介绍	101
10.2	港口 A	103
10.2.1	端口数据寄存器	103
10.2.2	数据方向注册 A	103
10.3	港口 B	104
10.3.1	端口 B 数据寄存器	104
10.3.2	数据方向寄存器 B	105
10.4	Port C	106
10.4.1	端口 C 数据寄存器	106
10.4.2	数据方向寄存器 C	106
10.5	Port D	107
10.6	港口 E	108
10.6.1	港口 E 数据寄存器	108
10.6.2	数据方向寄存器 E	109
10.7	Port F	110
10.7.1	端口 F 数据寄存器	110
10.7.2	数据方向寄存器 F	110
第 11 章 开机重置 (POR)		
11.1	介绍	113
11.2	功能描述	113

第 12 章用于电机控制的脉冲宽度调制器 (PWMMC)

12.1	介绍	115
12.2	特点	115
12.3	时基	120
12.3.1	决议	120
12.3.2	Prescaler	122
12.4	PWM 发电机	122
12.4.1	负载操作	122
12.4.2	PWM 数据溢出和下流条件	125
12.5	输出控制	126
12.5.1	选择六个独立的 PWM 或三个互补的 PWM 对	126
12.5.2	死亡时间插入	127
12.5.3	带有电机相位电流极性感应的顶部/底部校正	130
12.5.4	输出极性	133
12.5.5	PWM 输出端口控制	135
12.6	故障保护	137
12.6.1	故障条件输入引脚	137
12.6.1.1	故障引脚过滤器	139
12.6.1.2	自动模式	139
12.6.1.3	手动模式	140
12.6.2	软件输出禁用	141
12.6.3	输出端口控制	141
12.7	初始化和 PWMEN 位	142
12.8	等待模式下的 PWM 操作	143
12.9	控制逻辑块	143
12.9.1	PWM 计数器	143
12.9.2	PWM 计数器模数寄存器	144
12.9.3	PWMx 值寄存器	145
12.9.4	PWM 控制寄存器	146
12.9.5	PWM 控制寄存器 2	148
12.9.6	Dead-Time Write-Once Register	150
12.9.7	PWM 禁用映射写入一旦注册	150
12.9.8	故障控制登记册	150
12.9.9	故障状态登记	152
12.9.10	错误确认注册	153
12.9.11	PWM 输出控制寄存器	154
12.10	PWM 术语表	155

第 13 章 串行通信接口模块 (SCI)

13.1	介绍	157
13.2	特点	157
13.3	功能描述	159
13.3.1	数据格式	160
13.3.2	发射器	161
13.3.2.1	字符长度	162
13.3.2.2	字符传输	162
13.3.2.3	打破角色	162
13.3.2.4	闲置字符	163
13.3.2.5	传输输出的反转	163
13.3.2.6	发射器中断	163
13.3.3	接收器	163
13.3.3.1	字符长度	164
13.3.3.2	角色接收	165
13.3.3.3	数据采样	165
13.3.3.4	框架错误	167
13.3.3.5	接收器唤醒	167
13.3.3.6	接收器中断	167
13.3.3.7	错误中断	167
13.4	等待模式	168
13.5	休息模块中断期间的 SCI	168
13.6	I/O 信号	168
13.6.1	PTF5/TxD (传输数据)	168
13.6.2	PTF4/RxD (接收数据)	169
13.7	I/O 寄存器	169
13.7.1	SCI 控制登记册 1	169
13.7.2	SCI 控制登记册 2	171
13.7.3	SCI 控制登记册 3	173
13.7.4	SCI 状态登记册 1	174
13.7.5	SCI 状态登记册 2	176
13.7.6	SCI 数据登记册	177
13.7.7	SCI Baud Rate Register	177

第 14 章 系统集成模块 (SIM)

14.1	介绍	181
14.2	SIM 总线时钟控制和生成	182
14.2.1	公交车计时	182

14.2.2	从 POR 或 LVI 重置时钟启动	182
14.2.3	等待模式下的时钟	183
14.3	重置和系统初始化	183
14.3.1	外部引脚重置	183
14.3.2	内部源的主动重置	184
14.3.2.1	开机重置 (POR)	185
14.3.2.2	计算机正常运行 (COP) 重置	185
14.3.2.3	非法操作码重置	186
14.3.2.4	非法地址重置	186
14.3.2.5	强制监控模式输入重置 (MENRST)	186
14.3.2.6	低电压抑制 (LVI) 重置	186
14.4	SIM 计数器	186
14.4.1	开机重置期间的 SIM 卡计数器	186
14.4.2	SIM 计数器和重置状态	186
14.5	例外控制	187
14.5.1	中断	187
14.5.1.1	硬件中断	189
14.5.1.2	软件中断 (SWI) 指令	190
14.5.2	重置	190
14.6	低功耗模式	190
14.6.1	等待模式	190
14.6.2	停止模式	191
14.7	191
14.7.1	SIM 卡中断状态注册	191
14.7.2	SIM 卡重置状态注册	192
14.7.3	SIM 卡中断标志控制寄存器	193
第 15 章 串行外围接口模块 (SPI)		
15.1	介绍	195
15.2	特点	195
15.3	195
15.4	功能描述	197
15.4.1	主模式	198
15.4.2	从模式	199
15.5	传输格式	199
15.5.1	时钟相位和极性控制	199
15.5.2	传输格式 当 CPHA = 0	200
15.5.3	传输格式 当 CPHA = 1	201

15.5.4	传输启动延迟	201
15.6	错误条件	203
15.6.1	溢出错误	203
15.6.2	模式故障错误	204
15.7	中断	206
15.8	重置 SPI	207
15.9	队列传输数据	207
15.10	低功耗模式	208
15.11	I/O 信号	208
15.11.1	MISO (Master In/Slave Out) (Master Out/奴隶入)	209
15.11.2	MOSI	209
15.11.3	SPSCK (串行时钟)	209
15.11.4	SS (奴隶选择)	209
15.11.5	伏特纳释党卫军 (时钟地面)	210
15.12	I/O 寄存器	210
15.12.1	SPI 控制寄存器	210
15.12.2	SPI 状态和控制登记册	212
15.12.3	SPI 数据寄存器	214
第 16 章 计时器接口 A (TIMA)		
16.1	介绍	215
16.2	特点	215
16.3	功能描述	219
16.3.1	TIMA Counter Prescaler	219
16.3.2	输入捕获	219
16.3.3	输出比较	220
16.3.3.1	无缓冲输出比较	220
16.3.3.2	缓冲输出比较	221
16.3.4	脉冲宽度调制 (PWM)	221
16.3.4.1	无缓冲 PWM 信号生成	222
16.3.4.2	缓冲 PWM 信号生成	223
16.3.4.3	PWM 初始化	223
16.4	中断	224
16.5	等待模式	224
16.6	I/O 信号	225
16.6.1	TIMA Clock Pin (PTE3/TCLKA)	225
16.6.2	TIMA 通道 I/O 引脚 (PTE4/TCH0A-PTE7/TCH3A)	225

16.7	I/O 寄存器	225
16.7.1	TIMA 状态和控制登记册	225
16.7.2	TIMA 计数器寄存器	227
16.7.3	TIMA 计数器模数寄存器	228
16.7.4	TIMA 通道状态和控制寄存器	228
16.7.5	TIMA 频道寄存器	232
第 17 章 计时器接口 B (TIMB)		
17.1	介绍	235
17.2	特点	235
17.3	功能描述	235
17.3.1	TIMB Counter Prescaler	238
17.3.2	输入捕获	238
17.3.3	输出比较	239
17.3.3.1	无缓冲输出比较	239
17.3.3.2	缓冲输出比较	240
17.3.4	脉冲宽度调制 (PWM)	240
17.3.4.1	无缓冲 PWM 信号生成	241
17.3.4.2	缓冲 PWM 信号生成	241
17.3.4.3	PWM 初始化	242
17.4	中断	243
17.5	等待模式	243
17.6	I/O 信号	243
17.6.1	TIMB 时钟别针 (PTE0/TCLKB)	243
17.6.2	TIMB 通道 I/O 引脚 (PTE1/TCH0B-PTE2/TCH1B)	243
17.7	I/O 寄存器	244
17.7.1	TIMB 状态和控制登记册	244
17.7.2	TIMB 计数器	246
17.7.3	TIMB 计数器模数寄存器	246
17.7.4	TIMB 通道状态和控制寄存器	247
17.7.5	TIMB 频道寄存器	250
第 18 章 发展支持		
18.1	介绍	251
18.2	休息模块 (BRK)	251
18.2.1	功能描述	251
18.2.1.1	中断期间的旗帜保护	251
18.2.1.2	中断期间的 CPU	253
18.2.1.3	休息期间的 TIM1 和 TIM2	253

18.2.1.4	休息期间的 COP	253
18.2.2	低功耗模式	253
18.2.2.1	等待模式	253
18.2.2.2	停止模式	253
18.2.3	中断模块寄存器	253
18.2.3.1	中断状态和控制登记册	254
18.2.3.2	中断地址寄存器	254
18.2.3.3	休息状态登记簿	255
18.2.3.4	打破旗帜控制寄存器	255
18.3	监控 ROM (MON)	255
18.3.1	功能描述	256
18.3.1.1	进入监控模式	256
18.3.1.2	正常监控模式	256
18.3.1.3	强制监控模式	259
18.3.1.4	数据格式	259
18.3.1.5	回声	260
18.3.1.6	中断信号	260
18.3.1.7	命令	260
18.3.1.8	Baud Rate	263
18.3.2	安全	263
第 19 章 电气规格		
19.1	介绍	265
19.2	绝对最高评级	265
19.3	功能操作范围	266
19.4	热特性	266
19.5	直流电气特性	267
19.6		268
19.7	控制时间	268
19.8	串行外围接口特征	269
19.9	Timer 接口模块特性	272
19.10	时钟生成模块组件规格	272
19.11	CGM 操作条件	272
19.12	CGM 收购/锁定时间规格	273
19.13	模拟数字转换器 (ADC) 特征	274
第 20 章 订购信息和机械规格		
20.1	介绍	275

20.2	订单号	275
20.3	64 针塑料四平方包 (QFP)	276
20.4	56 针收缩双在线封装 (SDIP)	277

附录 A

MC68HC908MR16

第 1 章 一般描述

1.1 简介

MC68HC908MR32 是低成本、高性能 M68HC08 系列 8 位微控制器单元 (MCU) 的成员。该系列中的所有 MCU 都使用增强型 M68HC08 中央处理器单元 (CPU08)，并具有各种模块、内存大小和类型以及封装类型。

本文件中包含的信息与 MC68HC908MR16 有关，但例外情况显示在 [附录 A MC68HC908MR16](#)。

1.2 特点

特点包括：

- 高性能 M68HC08 架构
- 与 M6805、M146805 和 M68HC05 家族完全向上兼容的目标代码
- 8MHz 内部总线频率
- 具有 FLASH 程序内存的电路内编程功能的片上 FLASH 内存：
 - MC68HC908MR32 — 32 千字节
 - MC68HC908MR16 — 16 Kbytes
- 与主机个人电脑一起使用的片上编程固件
- FLASH 数据安全⁽¹⁾
- 768 字节的片上随机存取存储器 (RAM)
- 12 位、6 通道中心对齐或边缘对齐脉冲宽度调制器 (PWMMC)
- 串行外围接口模块 (SPI)
- 串行通信接口模块 (SCI)
- 16 位 4 通道定时器接口模块 (TIMA)
- 16 位、2 通道定时器接口模块 (TIMB)
- 时钟发生器模块 (CGM)
- 带有软件可选行程点的低压抑制 (LVI) 模块

¹. No security feature is absolutely secure. However, Freescale's strategy is to make reading or copying the FLASH difficult for unauthorized users.

- 10 位、10 通道模数转换器（ADC）
- 系统保护功能：
 - 可选计算机正常运行（COP）重置
 - 可选重置的低压检测
 - 可选重置的非法操作码或地址检测
 - 可选的 PWM 禁用故障检测

深圳市南天星

一般描述

- 可用套餐：
 - 64 针塑料四平包 (QFP)
 - 56 针收缩双在线封装 (SDIP)
- 低功耗设计，完全静态，带等待模式
- 主复位针 (RST) 和开机复位 (POR)
- 停止模式作为一个选项
- 断路模块 (BRK) 支持设置电路内模拟器 (ICS) 单断路点

CPU08 的功能包括：

- 增强的 M68HC05 编程模型
- 广泛的循环控制功能
- 16 种寻址模式 (比 M68HC05 多 8 种)
- 16 位索引寄存器和堆栈指针
- 内存到内存数据传输
- 快速 8 × 8 个乘法指令
- 快速 16/8 除法指令
- 二进制编码十进制 (BCD) 指令
- 控制器应用的优化
- C 语言支持

1.3 MCU 方框图

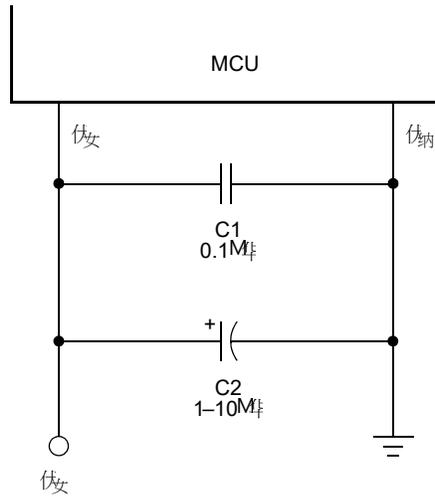
图 1-1 显示 MC68HC908MR32 的结构。

一般描述

1.4.1 电源引脚 (V_{女儿}和 V_{纳粹党卫军})

伏特_{女儿}和 V_{纳粹党卫军}是电源和接地销。MCU 通过单个电源运行。

MCU 引脚上的快速信号转换对电源提出了高持续时间短的电流需求。为了防止噪音问题，请特别注意在 MCU 上提供绕过电源 图 1-4 显示。将 C1 旁路电容器尽可能靠近 MCU。为 C1 使用高频响应陶瓷电容器。C2 是一个可选的体积电流旁路电容器，用于需要端口引脚来源大电流水平的应用。



注意：显示的组件值代表典型的应用程序。

图 1-4。电源旁路

1.4.2 振荡器引脚（OSC1 和 OSC2）

OSC1 和 OSC2 引脚是片上振荡器电路的连接。有关更多详细信息，请参阅 [第 4 章时钟发生器模块（CGM）](#)。

1.4.3 外部重置引脚（RST）

RST 引脚上的逻辑 0 迫使 MCU 进入已知的启动状态。RST 是双向的，允许重置整个系统。当断言任何内部重置源时，它被驱动得很低。看见 [第 14 章系统集成模块（SIM）](#)。

1.4.4 外部中断引脚（IRQ）

IRQ 是一个异步外部中断引脚。看见 [第 8 章外部中断（IRQ）](#)。

1.4.5 CGM 电源引脚（V_{DDA} 和 V_{SSAD}）

伏特_{DDA} 和 V_{SSAD} 是时钟发生器模块（CGM）模拟部分的电源引脚。

这些引脚的解耦应根据数字供应进行。看见 [第 4 章时钟发生器模块（CGM）](#)。

1.4.6 外部滤波电容针（CGMXFC）

CGMXFC 是 CGM 的外部滤波电容器连接。看见 [第 4 章时钟发生器模块（CGM）](#)。

1.4.7 模拟电源引脚 (V_{DDAD} 和 V_{SSAD})

伏特 $DDAD$ 和 V_{SSAD} 是模数转换器的电源引脚。这些引脚的解耦应根据数字供应进行。看见 [第3章 模数转换器 \(ADC\)](#)。

1.4.8 ADC 电压解耦电容器引脚 (V_{REFH})

伏特 $REFH$ 是设置参考电压的电源。连接 V_{REFH} 与 V 相同的电压电位引脚 $DDAD$ 。看 [第3章 模数转换器 \(ADC\)](#)。

1.4.9 ADC 电压参考低引脚 (V_{REFL})

伏特 $REFL$ 是 ADC 的较低参考供应。连接 V_{REFL} 与 V 相同的电压电位引脚 $SSAD$ 。看见 [第3章 模数转换器 \(ADC\)](#)。

1.4.10 端口 A 输入/输出 (I/O) 引脚 (PTA7-PTA0)

PTA7-PTA0 是通用双向输入/输出 (I/O) 端口引脚。看见 [第10章 输入/输出 \(I/O\) 端口 \(PORTS\)](#)。

1.4.11 端口 B I/O 引脚 (PTB7/ATD7-PTB0/ATD0)

端口 B 是一个 8 位的特殊功能端口，与模数转换器 (ADC) 共享所有八个引脚。看见 [第3章 模数转换器 \(ADC\)](#) 和 [第10章 输入/输出 \(I/O\) 端口 \(PORTS\)](#)。

1.4.12 端口 C I/O 引脚 (PTC6-PTC2 和 PTC1/ATD9-PTC0/ATD8)

PTC6-PTC2 是通用的双向 I/O 端口引脚 [第10章 输入/输出 \(I/O\) 端口 \(PORTS\)](#)。PTC1/ATD9-PTC0/ATD8 是与模数转换器 (ADC) 共享的特殊功能端口引脚。看见 [第3章 模数转换器 \(ADC\)](#) 和 [第10章 输入/输出 \(I/O\) 端口 \(PORTS\)](#)。

1.4.13 端口 D 仅输入引脚 (PTD6/IS3-PTD4/IS1 和 PTD3/FAULT4-PTD0/FAULT1)

PTD6/IS3-PTD4/IS1 是特殊功能仅输入端口引脚，也用作脉冲宽度调制器模块 (PWMMC) 的电流感应引脚。PTD3/FAULT4-PTD0/FAULT1 是特殊的功能端口引脚，也用作 PWMMC 的故障引脚。看见 [第12章 用于电机控制的脉冲宽度调制器 \(PWMMC\)](#) 和 [第10章 输入/输出 \(I/O\) 端口 \(PORTS\)](#)。

1.4.14 PWM 引脚 (PWM6-PWM1)

PWM6-PWM1 是用于脉冲宽度调制器模块 (PWMMC) 输出的专用引脚。这些是大电流水槽销。看见 [第12章 用于电机控制的脉冲宽度调制器 \(PWMMC\)](#) 和 [第19章 电气规格](#)。

1.4.15 PWM 接地引脚 (PWMGND)

PWMGND是脉冲宽度调制器模块 (PWMMC) 的接地引脚。这个专用接地引脚用作六个大电流PWM引脚的接地。看见 [第 12 章用于电机控制的脉冲宽度调制器 \(PWMMC\)](#)。

1.4.16 端口 E I/O 引脚 (PTE7/TCH3A-PTE3/TCLKA 和 PTE2/TCH1B-PTE0/TCLKB)

端口 E 是一个 8 位特殊功能端口，与两个计时器接口模块 (TIMA 和 TIMB) 共享其引脚。看见 [第 16 章计时器接口 A \(TIMA\)](#)，[第 17 章计时器接口 B \(TIMB\)](#)，以及 [第 10 章输入/输出 \(I/O\) 端口 \(PORTS\)](#)。

1.4.17 端口 F I/O 引脚 (PTF5/TxD-PTF4/RxD 和 PTF3/MISO-PTF0/SPSCK)

端口 F 是一个 6 位特殊功能端口，其两个引脚与串行通信接口模块 (SCI) 共享，四个引脚与串行外围接口模块 (SPI) 共享。看见 [第 15 章串行外围接口模块 \(SPI\)](#)，[第 13 章串行通信接口模块 \(SCI\)](#)，以及 [第 10 章输入/输出 \(I/O\) 端口 \(PORTS\)](#)。

第 2 章 记忆

2.1 简介

中央处理器单元（CPU08）可以处理 64K 字节的内存空间。记忆图，显示在 图 2-1，包括：

- 32 Kbytes 的 FLASH
- 768 字节的随机存取存储器（RAM）
- 46 字节的用户定义向量
- 240 字节的显示器只读存储器（ROM）

2.2 未扩展的内存位置

有些地址没有实现。访问未实现的地址可能会导致非法地址重置。在内存映射和输入/输出（I/O）寄存器摘要中，未实现的地址被阴影化。

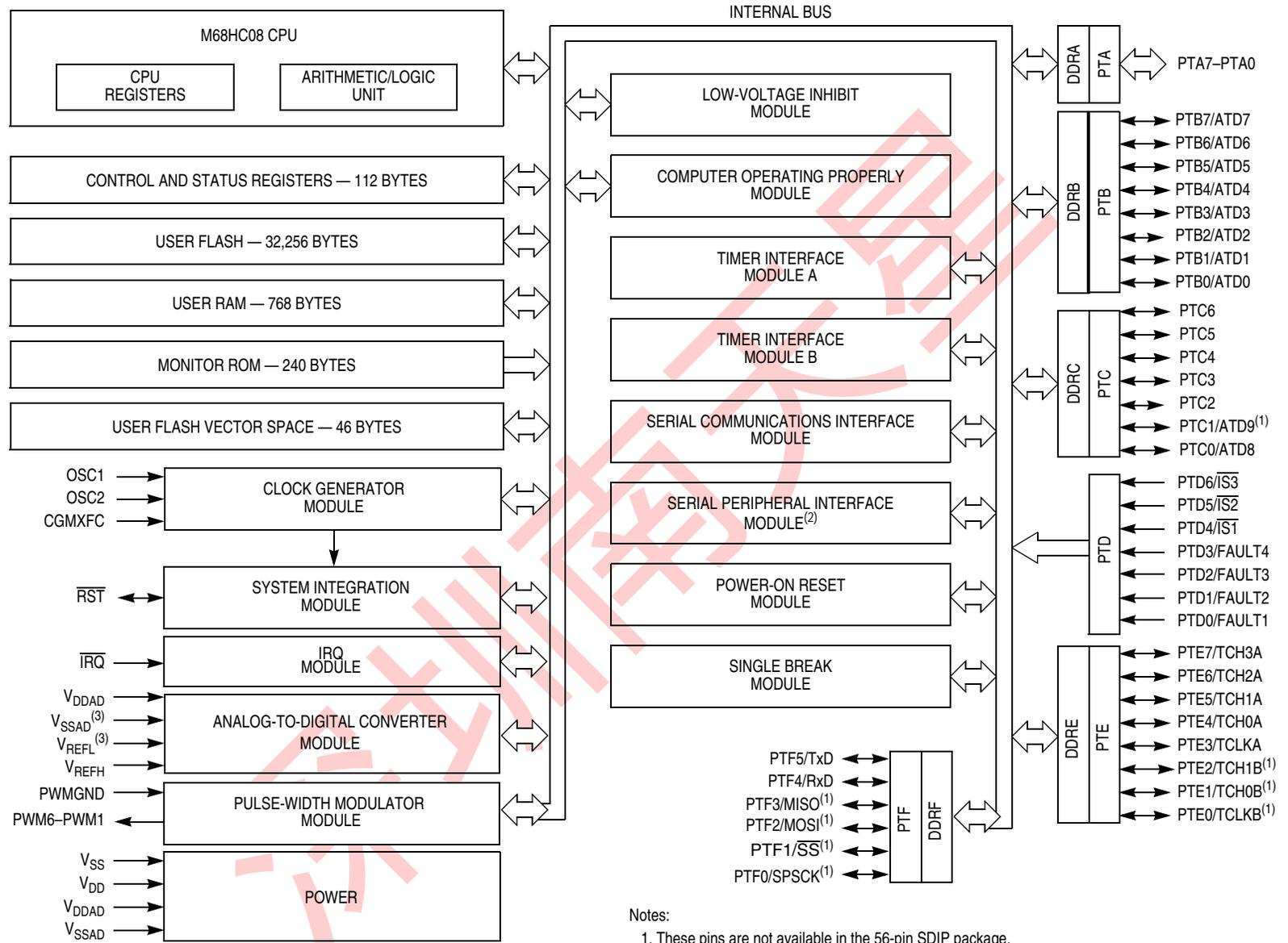
一些 I/O 位是只读的；写函数未实现。写入只读 I/O 位对微控制器单元（MCU）操作没有影响。在寄存器图形中，只读位的写入函数是阴影的。

同样，一些 I/O 位仅写入；读取函数未实现。读取只写 I/O 位对 MCU 操作没有影响。在寄存器数字中，只写位的读取功能被阴影。

2.3 保留的内存位置

有些地址是保留的。写入保留地址可能会对 MCU 操作产生不可预测的影响。在记忆图中（图 2-1）和 I/O 寄存器摘要（图 2-2）保留地址标有保留字样。

一些 I/O 位是保留的。写入保留位可能会对 MCU 操作产生不可预测的影响。在寄存器数字中，保留位用字母 R 标记。



- Notes:
1. These pins are not available in the 56-pin SDIP package.
 2. This module is not available in the 56-pin SDIP package.
 3. In the 56-pin SDIP package, these pins are bonded together.

Figure 1-1. MCU Block Diagram

1.4 Pin Assignments

Figure 1-2 shows the 64-pin QFP pin assignments and Figure 1-3 shows the 56-pin SDIP pin assignments.

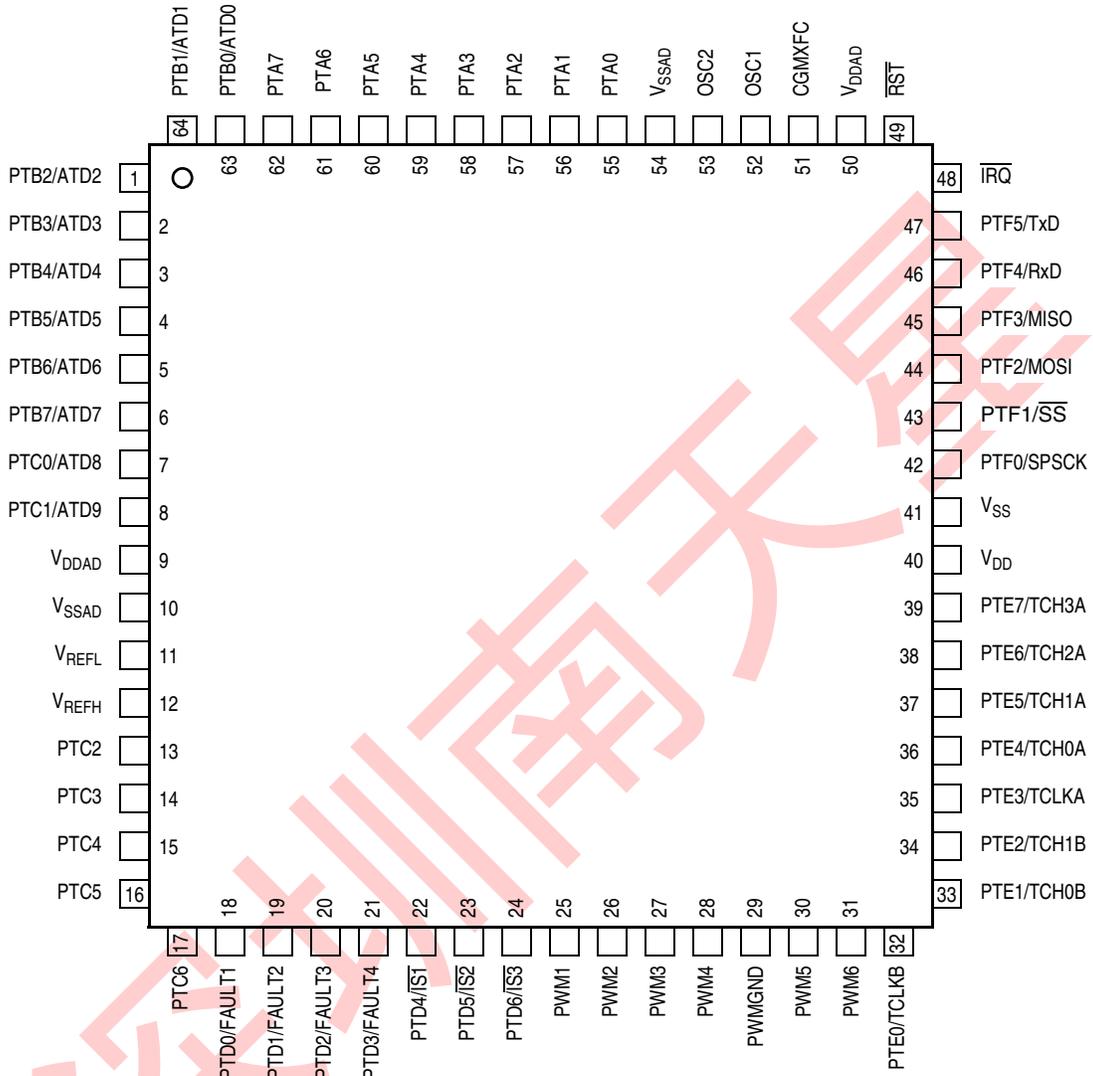
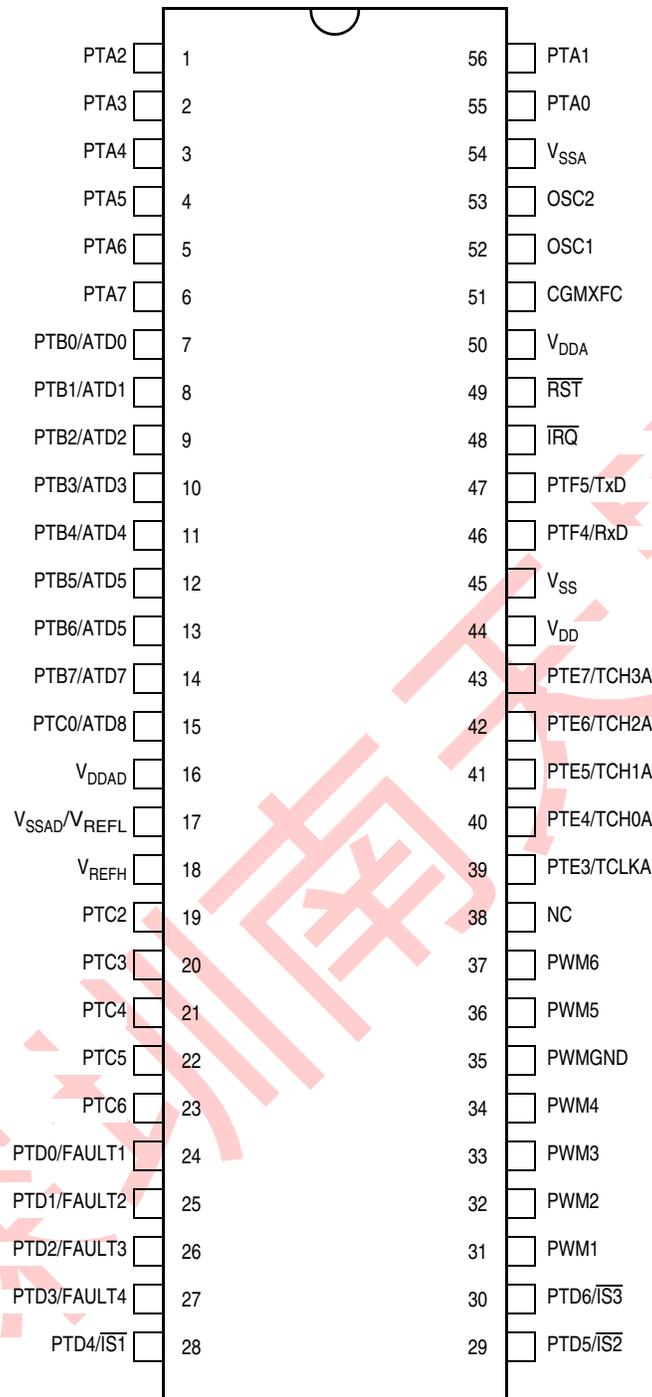


Figure 1-2. 64-Pin QFP Pin Assignments



Note:
 PTC1, PTE0, PTE1, PTE2, PTF0, PTF1, PTF2, and PTF3
 are removed from this package.

Figure 1-3. 56-Pin SDIP Pin Assignments